

PAT-NO: JP362269507A
DOCUMENT-IDENTIFIER: JP 62269507 A
TITLE: VARIABLE GAIN AMPLIFIER

PUBN-DATE: November 24, 1987

INVENTOR-INFORMATION:

NAME	COUNTRY
TSUKAHARA, TSUNEO	
AKAZAWA, YUKIO	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
NIPPON TELEGR & TELEPH CORP N/A	

APPL-NO: JP61112743
APPL-DATE: May 19, 1986

INT-CL (IPC): H03G003/12 , H03F003/30 , H03F003/345

US-CL-CURRENT: 330/277

ABSTRACT:

PURPOSE: To contrive broad band and lower power consumption by connecting one stage of a CMOS inverter and another CMOS inverter having feedback to the input/output through a variable resistor in cascade so as to constitute a variable gain amplifier, thereby eliminating the need for a level shift circuit and a capacitor.

CONSTITUTION: A unit amplifier 3 consists of complementary inverters 1, 2 connected in cascade and a variable resistor Ef1 and the resistor Rf1 is connected between the input and output of the inverter 2 to form a negative feedback path. Thus, the gain is made variable by the resistor Rf1, and since the input impedance of the amplifier is capacitive due to the input capacitance, no gain effect is caused in case of multi-stage connection because the amplifier of the next stage gives effect on the band via its input capacitance. Thus, the direct coupling multi-stage is attained without a capacitance and a level shift circuit and the amplifier amplifying a signal from a DC componet is realized with less band deterioration and low power consumption.

⑫ 公開特許公報(A)

昭62-269507

⑪ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)11月24日

H 03 G 3/12
H 03 F 3/30
3/345A-7827-5J
7827-5J
B-6628-5J

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 可変利得増幅器

⑮ 特 願 昭61-112743

⑯ 出 願 昭61(1986)5月19日

⑰ 発 明 者 東 原 恒 夫 厚木市森の里若宮3番1号 日本電信電話株式会社厚木電気通信研究所内

⑱ 発 明 者 赤 沢 幸 雄 厚木市森の里若宮3番1号 日本電信電話株式会社厚木電気通信研究所内

⑲ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

⑳ 代 理 人 弁理士 高山 敏夫 外1名

明 細 書

1. 発明の名称

可変利得増幅器

2. 特許請求の範囲

(1) 外部より利得を可変できる可変利得増幅器において、N形MOSトランジスタとP形MOSトランジスタのドレイン端子相互を接続し、さらにゲート端子相互を接続し、N形MOSトランジスタのソース端子を低電源電圧端子に接続し、P形MOSトランジスタのソース端子を高電源電圧端子に接続して形成した相補形インバータを2個具備し、第1の相補形インバータの出力端子を第2の相補形インバータの入力端子と接続し、第2の相補形インバータの入出力端子間に抵抗値を変化しうる手段を接続することを特徴とする可変利得増幅器。

(2) 第2の相補形インバータの入出力端子間に可変抵抗を接続した特許請求の範囲第1項記載の可変利得増幅器。

(3) 第2の相補形インバータの入出力端子間に、

ゲート電圧によりインピーダンスを可変しうるNチャネルMOSトランジスタを接続した特許請求の範囲第1項記載の可変利得増幅器。

(4) 第2の相補形インバータの入出力端子間に、ゲート電圧によりインピーダンスを可変しうるPチャネルMOSトランジスタを接続した特許請求の範囲第1項記載の可変利得増幅器。

(5) 第2の相補形インバータの入出力端子間に、ゲート電圧によりインピーダンスを可変しうるNチャネルMOSトランジスタとPチャネルMOSトランジスタとを並列に接続した特許請求の範囲第1項記載の可変利得増幅器。

(6) 外部より利得を可変できる可変利得増幅器において、N形MOSトランジスタとP形MOSトランジスタのドレイン端子相互を接続し、さらにゲート端子相互を接続し、N形MOSトランジスタのソース端子を低電源電圧端子に接続し、P形MOSトランジスタのソース端子を高電源電圧端子に接続して形成した相補形インバータを2個具備し、第1の相補形インバータの

出力端子を第2の相補形インバータの入力端子と接続し、第2の相補形インバータの入出力端子間に抵抗値を変化しうる手段を接続した単位増幅器を複数段具備した特許請求の範囲第1項記載の可変利得増幅器。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、入力信号レベルに応じて利得を変え、出力レベルを一定に保つための可変利得増幅器に関する。

(従来技術及び発明が解決しようとする問題点)

従来、第4図に示すCMOSインバータの入出力に可変抵抗 R_{f1} に負帰還をかけた構成の可変利得増幅器が提案されている。NチャネルMOSトランジスタの相互コンダクタンスと出力抵抗をそれぞれ g_{m1} 、 r_1 とし、PチャネルMOSトランジスタの相互コンダクタンスと出力抵抗をそれぞれ g_{m2} 、 r_2 とし、可変抵抗値を R_{f1} とすると、電圧利得 G_1 と入力インピーダンス Z_{in} はそれぞれ(1)式、(2)式で与えられる。

$$G_1 = - \frac{g_{m1} + g_{m2} - \frac{1}{R_{f1}}}{\frac{1}{r_1} + \frac{1}{r_2} + \frac{1}{R_{f1}}} \quad (1)$$

$$Z_{in} = \frac{R_{f1} + (\frac{1}{r_1} + \frac{1}{r_2})^{-1}}{(g_{m1} + g_{m2} + \frac{1}{r_1} + \frac{1}{r_2})(\frac{1}{r_1} + \frac{1}{r_2})^{-1}} \quad (2)$$

(2)式から判るように、入力インピーダンス Z_{in} はNチャネルMOS、PチャネルMOSトランジスタの出力抵抗の並列接続値と帰還抵抗 R_{f1} の和をほぼインバータ単体の利得で割った形となり、負帰還により Z_{in} が低下する。従つて、この増幅器を多段化して高利得を図るために従来から第5図のような構成が提案されている。この構成ではNチャネルMOSトランジスタFN1、FN2からなるソースフォロワ回路を人力バッファアンプとして第4図の増幅器の前に付加し単位増幅器を形成して、前段への入力インピーダンスの影響を低減し単位増幅器1を構成する。容量Cはソースフォロワ回路付加により直流レベルがシフトするため直流成分カット用である。 R_B はバイパス回路のインピーダンスを

高め、前段への影響を低減するための抵抗である。 V_{B1} 、 V_{B2} はバイパス電圧である。この構成では、 $\frac{1}{2\pi \cdot R_B \cdot C}$ 以下の周波数の信号は通過できないため、直流成分の増幅も必要とする用途には適さない欠点を持つ。ICの製作上、現実的な R_B 、Cの値はそれぞれ100K Ω 、10pF程度であるから上記のカットオフ周波数は160KHzと比較的高い値となる。また、ICの製造プロセス上容量を製作するプロセスを付加することはICのコスト高につながる。

次に、容量を製作するプロセスが必要で、しかも直流成分からの増幅ができないという第5図の構成の欠点を補うため、第6図の構成が提案されている。この構成では第4図の増幅器の前にFN1、FN2から成るソースフォロワ回路とこのソースフォロワ回路の前にさらにPチャネルMOSトランジスタFP1、FP2から成るレベルシフト機能を持つ第2のソースフォロワ回路を付加した単位増幅器2から構成される。 V_{B3} はバイパス電圧である。この構成では第2のソ

ースフォロワ回路の付加により直流レベルを入力出力間で合わせることが可能なため、容量を用いず直結に多段化できる。しかし、第2のソースフォロワ回路の付加により、すなわち段数が増えることにより第6図の増幅器の周波数帯域は第5図の構成に比べ低下し、消費電力は増加する欠点を持つ。

以上述べたように従来構成の可変利得増幅器を用いて、増幅の直流成分からの広帯域化、低電力化を満足させることは難しい。

(問題点を解決するための手段)

本発明は、CMOSインバータ1段と可変抵抗により入出力に帰還をかけたCMOSインバータを縦続接続して可変利得増幅器を構成することにより、レベルシフト回路及び容量が不用であるため、広帯域化、低電力化を図ることを目的とする。

上記の目的を達成するため、本発明は外部より利得を変えられる可変利得増幅器において、N形MOSトランジスタとP形MOSトランジ

スタのドレイン端子相互を接続し、さらにゲート端子相互を接続し、N形MOSトランジスタのソース端子を低電源電圧端子に接続し、P形MOSトランジスタのソース端子を高電源電圧端子に接続して形成した相補形インバータを2個具備し、第1の相補形インバータの出力端子を第2の相補形インバータの入力端子と接続し、第2の相補形インバータの入出力端子間に抵抗値を変化しうる手段を接続することを特徴とする可変利得増幅器を発明の要旨とするものである。

次に本発明の実施例を添付図面について説明する。

なお実施例は一つの例示であつて、本発明の精神を逸脱しない範囲で種々の変更あるいは改良を行ひうることは言うまでもない。

第1図は本発明の実施例であつて、破線内の単位増幅器3について説明する。INは入力端子、Iは初段インバータと次段インバータの結線ノード、OUTは出力端子、V_{DD}は電源電圧

端子、MN1, MN2 はNチャネルMOSトランジスタ、MP1, MP2 はPチャネルMOSトランジスタ、 R_{f1} は可変抵抗である。

より詳細に構成を説明すると、トランジスタMN2, MP2のゲート相互を共通とし、また、ドレイン相互を共通として第1のインバータを構成し、第1のインバータの出力が、トランジスタMN1, MP1により第1のインバータと同様に形成される第2のインバータの入力に接続されている。さらに、第2のインバータの入出力間に可変抵抗 R_{f1} を接続し、負帰還パスを形成している。トランジスタMN1, MP1, MN2, MP2の相互コンダクタンス、出力抵抗をそれぞれ $g_{m1}, r_1; g_{m2}, r_2; g_{m3}, r_3; g_{m4}, r_4$ とみると、端子INから端子OUTへの電圧利得 G_v は(3)式で与えられる。

$$G_v = \frac{(g_{m1} + g_{m2}) \left(g_{m3} + g_{m4} - \frac{1}{R_{f1}} \right)}{\frac{1}{R_{f1}} \cdot \left(g_{m3} + g_{m4} - \frac{1}{R_{f1}} \right) + \left(\frac{1}{R_{f1}} + \frac{1}{r_1} + \frac{1}{r_2} \right) \left(\frac{1}{R_{f1}} + \frac{1}{r_3} + \frac{1}{r_4} + j\omega C_{in} \right)} \quad (3)$$

(ここで $\omega = 2\pi f$, f は信号周波数, C_{in} は本増

幅器を多段化したときの、次段増幅器の入力容量である。)

(3)式から、増益抵抗 R_{f1} により利得を可変にでき、また、この増幅器の入力インピーダンスは入力容量による容量性のみであるから、多段化した場合、次段の増幅器は容量 C_{in} を介して帯域に影響を与えるだけで利得に影響しない。このような構成になつているから、容量、レベルシフト回路無しで直結多段化可能なため、直流成分からの増幅を行える増幅器を帯域劣化が少なく低電力で実現でき、しかも低コストなICを提供できる利点を持つ。

第5図の回路では $R_B \times C$ で表される周波数以下の周波数を増幅することはできないが、第1図では入力インピーダンスが高いため、直流から増幅することができる。

第2図の(a), (b)は夫々本発明の第2, 第3の実施例を示すもので、破線内は抵抗値がゲート電圧 V_N, V_P によりそれぞれインピーダンスが可変可能な非飽和領域にバイアスされたNチャ

ネルMOSトランジスタMN3, PチャネルMOSトランジスタMP3を第1図の可変抵抗 R_{f1} の代りにそれぞれ用いた単位増幅器4, 5を示す。MN3, MP3のトランジスタサイズ、バイアス電圧 V_N, V_P を適当に設定することで任意の抵抗レンジを持ち、電圧により制御可能な可変抵抗を実現できるため、可変利得増幅器の小形化、利得の可変性に優れている。

第3図は、本発明の第4の実施例であり、破線内の単位増幅器6について説明する。単一チャネルMOSトランジスタを可変抵抗として用いる第2図の実施例の場合、利得が増大するにつれて信号波形の歪が増大する欠点を持つ。これは増幅器出力電圧が増加する場合と減少する場合で可変抵抗用トランジスタMN3, MP3のバイアス条件が異なるため、トランジスタの直流抵抗値が変化するため生ずる。すなわち帰還がかかることにより g_m が変わるので、一定値の抵抗とみなされなくなり、結果として波形歪となつて表われる。

第2図(a)においてMN3の直流抵抗値 R_N は(4)式で与えられる。

$$R_N = 2\beta_N \left(V_N - \frac{V_I + V_{out}}{2} - V_{TN} \right) \quad (4)$$

ここで、 β_N は移動度定数 $\frac{1}{2} \cdot \frac{W_N}{L_N} \cdot \mu_N \cdot C_{ox}$ (W_N はチャネル幅、 L_N はチャネル長、 μ_N は電子移動度、 C_{ox} はゲート単位面積容量)、 V_I はMP2、MN2から成るインバータの入力電圧、 V_{out} は増幅器の出力電圧、 V_{TN} はしきい値電圧である。

増幅器の利得増加に伴い、MP2、MN2から成るインバータ I_{NV2} における利得も増大する。従つて(4)式中の $\frac{V_I + V_{out}}{2}$ は無信号時のインバータ I_{NV2} の入出力電圧 V_M を中心として上下するため、MN3のバイアスが変動し R_N が増減する。第3図(b)のPチャネルMOSトランジスタMP3の場合も同様のことが言える。第3図の実施例は第2図の実施例の上述した欠点を解決するものである。この構成では可変抵抗がNチャネルMOSトランジスタMN3とPチャネルMOSトランジスタMP3の並列接続により形成されて

いるほかは第2図と同じである。この並列接続の値を R_{tot} とおくと R_{tot} は(5)式で与えられる。

$$R_{tot} = \frac{1}{2} \cdot \frac{1}{\beta_N \left(V_N - \frac{V_I + V_{out}}{2} - V_{TN} \right) + \beta_P \left(\frac{V_I + V_{out}}{2} - V_P - |V_{TP}| \right)} \quad (5)$$

ここで β_P はMP3の移動度定数 $\frac{1}{2} \cdot \frac{W_P}{L_P} \cdot \mu_P \cdot C_{ox}$ (W_P はチャネル幅、 L_P はチャネル長、 μ_P は正孔移動度、 C_{ox} はゲート単位面積容量)、 V_{TP} はMP3のしきい値電圧である。

(5)式で $\frac{V_I + V_{out}}{2} \equiv V_M + \Delta V_M$ とおくと(5)式は(6)式のように変形できる。

$$R_{tot} = \frac{1}{2} \cdot \frac{1}{\beta_N (V_N - V_M - V_{TN}) + \beta_P (V_M - V_P - |V_{TP}|) + (\beta_P - \beta_N) \cdot \Delta V_M} \quad (6)$$

(6)式から $\beta_N = \beta_P$ となつたNチャネルMOSトランジスタMN3とPチャネルMOSトランジスタMP3の移動度定数を等しく設定すれば、並列抵抗 R_{tot} は一定に保つことができ波形歪は生じないことがわかる。 $\beta_N = \beta_P$ を設定するにNチャネル、Pチャネルトランジスタのチャネル幅とチャネル長の比をそれぞれ W_N/L_N 、 W_P/L_P

とし、比 $W_N/L_N : W_P/L_P$ を移動度の比 μ_N/μ_P に等じて設定すればよい。

また、 R_{tot} の値は W_N/L_N 、 W_P/L_P とゲートバイアス電圧 V_N 、 V_P により設定できる。

このようにこの実施例では、NチャネルトランジスタとPチャネルトランジスタのゲート電圧により利得可変が可能でしかも波形歪の生じない可変利得増幅器が実現可能である。

(発明の効果)

図上のように本発明によれば、CMOSインバータを2個縦続に接続し、第2のインバータの入出力間を、可変抵抗、単一チャネルのMOSトランジスタ、NチャネルMOSトランジスタとPチャネルMOSトランジスタの並列接続したもの等の可変抵抗手段により接続して形成して可変利得増幅器を構成することによつて、直流成分からの広帯域な増幅を低歪で行える可変利得増幅器を低電力、低コストで実現できる利点がある。

さらに多段構成とすることにより、上記の性

能をさらに向上することができる。

4. 図面の簡単な説明

第1図は本発明の第1の実施例、第2図(a)、(b)は本発明の第2、第3の実施例、第3図は本発明の第4の実施例、第4図は単位可変利得増幅器の従来例、第5図は第4図の単位可変利得増幅器の前にソースフォロウと容量を付加し多段化した従来形が多段可変利得増幅器、第6図は第4図の単位可変利得増幅器の前にソースフォロウを2段付加し多段化した従来形が多段可変利得増幅器を示す。

I N …… 信号入力端子

OUT …… 信号出力端子

VDD …… 正電源電圧端子

I …… 2段縦続接続したインバータ間の接続端子

MN1, MN2, MN3, FN1, FN2 …… NチャネルMOSトランジスタ

MP1, MP2, MP3, FP1, FP2 …… PチャネルMOSトランジスタ

R_f …… 可変抵抗

V_{B1}, V_{B2}, V_{B3} …… バイアス電圧

R_B …… 固定抵抗

V_N …… MN3のゲート電圧

V_P …… MP3のゲート電圧

1 …… 第5図の従来例における単位可変利得増幅器

2 …… 第6図の従来例における単位可変利得増幅器

3 …… 第1の実施例における単位可変利得増幅器

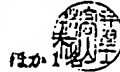
4 …… 第2の実施例における単位可変利得増幅器

5 …… 第3の実施例における単位可変利得増幅器

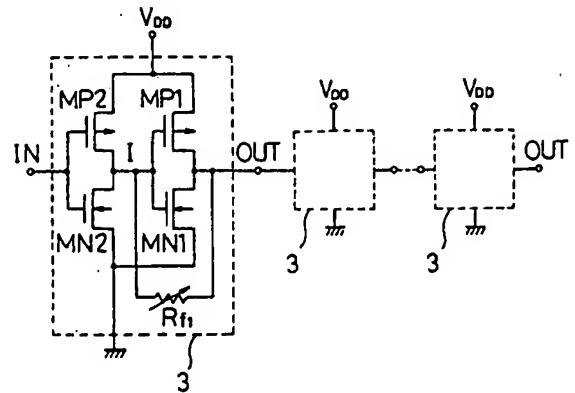
6 …… 第4の実施例における単位可変利得増幅器

特許出願人 日本電信電話株式会社

代理人 弁理士 高山 敏



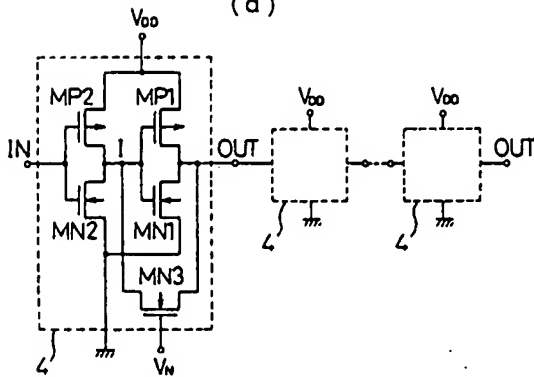
第1図



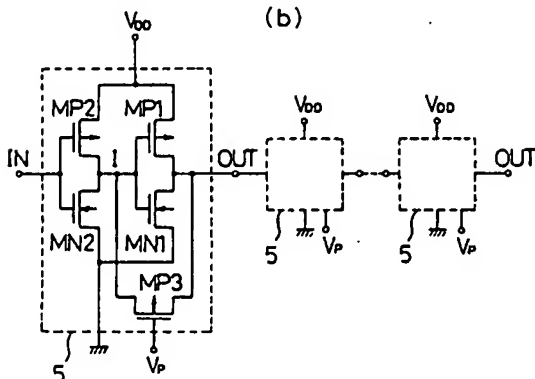
IN …… 入力端子
OUT …… 出力端子
 V_{DD} …… 電源電圧端子
MP1, MP2 …… PチャンネルMOSトランジスタ
MN1, MN2 …… NチャンネルMOSトランジスタ
 R_f …… 可変抵抗
3 …… 単位可変利得増幅器

第2図

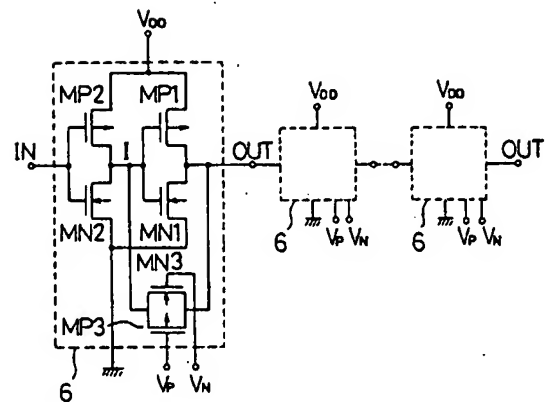
(a)



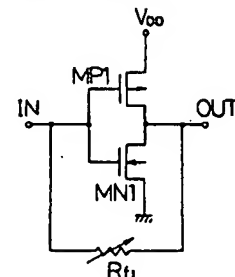
(b)



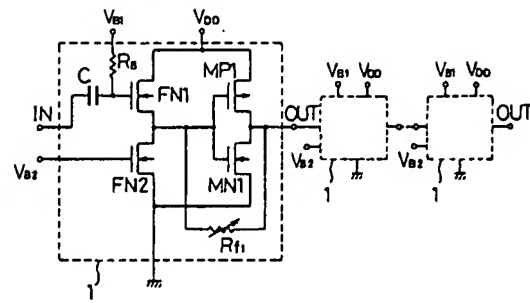
第3図



第4図



第 5 図



第 6 図

